

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-048083

**(43)Date of publication of application : 26.02.1993**

(51)Int.Cl.

H01L 29/74

H01L 21/02

H01L 21/331

H01L 29/73

(21)Application number : 03-200708

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.08.1991

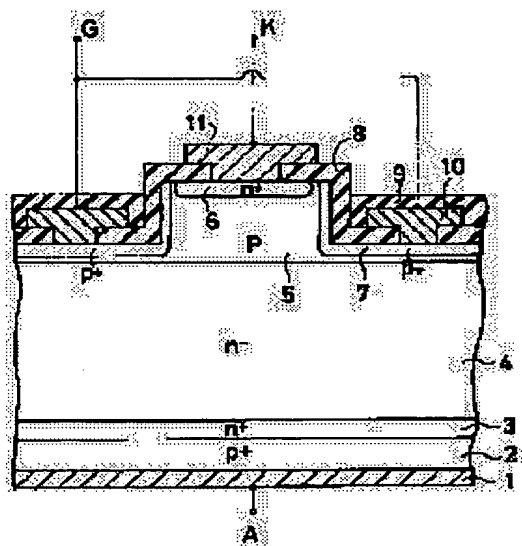
(72)Inventor :     **ATSUTA MASAKI**

**(54) POWER SEMICONDUCTOR ELEMENT**

(57)Abstract:

**PURPOSE:** To improve turn-off capability of a power semiconductor element having a mesa structure.

**CONSTITUTION:** The basic structure is a p-n-p-n consisting of a p+ type emitter layer 2, an n type buffer layer 3, an n- type base layer 4, a p type base layer 5 and an n+ type emitter layer 6. Irregularities are formed on the surface of a substrate, and the n+ type emitter layer 6 is formed on the surface of the protruding part, and an anode electrode 1 is formed on the p type emitter layer, and a cathode electrode 11 is formed on the n+ type emitter layer 6, and a gate electrode 10 is formed on the p type base layer 5 of the recessed part. From the side surface to the bottom surface of the recessed part of the p type base layer 5, in order to reduce resistance in the lateral direction of a base, a high concentrated p+ type layer 7 is formed.



## LEGAL STATUS

**[Date of request for examination]**

**[Date of sending the examiner's decision of rejection]**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

**[Date of registration]**

**[Number of appeal against examiner's decision of rejection]**

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-48083

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/74  
21/02  
21/331  
29/73

識別記号

庁内整理番号

C 7013-4M  
B 8518-4M

F I

技術表示箇所

7377-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数 1 (全 6 頁) 最終頁に続く

(21)出願番号 特願平3-200708

(22)出願日 平成3年(1991)8月9日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 熱田 昌己

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

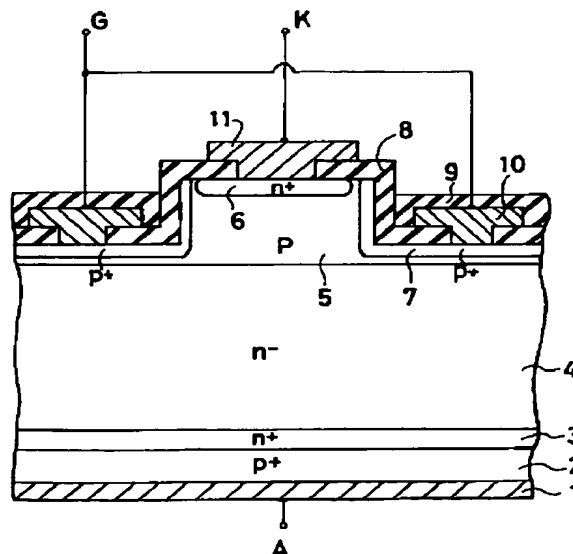
(74)代理人 弁理士 鈴木 武彦

(54)【発明の名称】 電力用半導体素子

(57)【要約】

【目的】メサ構造を持つ電力用半導体素子のターンオフ能力の向上を図ることを目的とする。

【構成】 $p^+$ 型エミッタ層2、 $n$ 型バッファ層3、 $n^-$ 型ベース層4、 $p$ 型ベース層5および $n^+$ 型エミッタ層6からなる $pnpn$ 構造を基本とし、基板表面側は凹凸が形成されて、その凸部表面に $n^+$ 型エミッタ層6が形成され、 $p$ 型エミッタ層2にアノード電極1が、 $n^+$ 型エミッタ層6にカソード電極11が形成され、凹部の $p$ 型ベース層5にゲート電極10が形成されている。 $p$ 型ベース層5の凹部側面から底面にかけてベース横方向抵抗を低減するために高濃度の $p^+$ 型層7が形成されている。



## 【特許請求の範囲】

【請求項1】高抵抗の第1導電型半導体層表面に第2導電型ベース層が形成され、この第2導電型ベース層の表面に凹凸が形成され、その凸部表面に第1導電型エミッタ層が形成されてここにエミッタ電極が形成され、凹部に制御電極が形成された電力用半導体素子において、前記凹部の側面および底面に高濃度第2導電型層が形成されていることを特徴とする電力用半導体素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、メサ構造を持つゲートターンオフサイリスタやバイポーラトランジスタ等の電力用半導体素子に関する。

## 【0002】

【従来の技術】ゲートターンオフサイリスタ（以下、GTOサイリスタと称する）は、ゲート電極にバイアスを与えて、アノード電流の一部をゲート電流として外部に排出することにより自己ターンオフを行う素子である。この様なGTOサイリスタにおいて、分割エミッタの面とゲート電極面の間に段差を設けたメサ構造として、圧接電極構造を用いたものが知られている。

【0003】図7にその様な従来のGTOサイリスタの要部断面構造を示す。図の基板裏面から、 $p^+$ 型エミッタ層2、 $n$ 型バッファ層3、 $n^-$ 型ベース層4、 $p$ 型ベース層5および $n^+$ 型エミッタ層6からなる $pnpn$ 構造を有する。基板表面側は凹凸が形成されて、その凸部表面に $n^+$ 型エミッタ層6が形成され、凹部には $p$ 型ベース層5が露出している。 $p$ 型エミッタ層2にアノード電極1が、 $n^+$ 型エミッタ層6にカソード電極11が形成され、凹部の $p$ 型ベース層5にゲート電極10が形成されている。ゲート電極10とカソード電極11の間の基板面は第1の絶縁膜8により覆われ、さらにゲート電極10は第2の絶縁膜9により覆われている。カソード電極11とゲート電極10の間には段差があり、またゲート電極10上は絶縁膜9で覆われているため、カソード電極11を圧接電極により外部に接続することができる。

【0004】この様なGTOサイリスタにおいて、ゲート電極10のコンタクト位置から $n$ 型エミッタ層6の中央部までの $p$ 型ベース層5の横方向抵抗が電流遮断能力（ターンオフ能力）を決定する大きな要因であることが知られている。 $p$ 型ベース層5の横方向抵抗が大きいと、ターンオフの際のキャリア排出に伴う $p$ 型ベース層5内の電圧降下によって、 $p$ 型ベース層5と $n$ 型エミッタ層6の間に順バイアスがかかり、 $n$ 型エミッタ層6からの電子注入が止まらずに素子がターンオフできない。従って $p$ 型ベース層5の横方向抵抗が小さい程、優れたターンオフ特性が得られることになる。

【0005】ところが、図7に示すようなメサ構造のGTOサイリスタでは、ベース電極10のコンタクト位置

と $n$ 型エミッタ層6との間の距離が比較的長く、また $p$ 型ベース層5が通常基板表面からの拡散により形成されているためにその底部の不純物濃度は低い。従ってゲート電極10のコンタクト位置から $n$ 型エミッタ層6の中央部までの $p$ 型ベース層5の横方向抵抗が大きな値になり、十分なターンオフ能力が得られないという問題があった。

## 【0006】

【発明が解決しようとする課題】以上のように従来のメサ構造を持つGTOサイリスタでは、 $p$ 型ベース層の横方向抵抗が高く、高いターンオフ能力が得られないという問題があった。同様の問題は、同様の構造を持つ他の電力用半導体素子例えば、同様の分割エミッタ構造とメサ構造を持つバイポーラトランジスタにもある。本発明は、この様な点に鑑みなされたもので、ターンオフ能力を改善した電力用半導体素子を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明に係る電力用半導体素子は、高抵抗の第1導電型半導体層表面に第2導電型ベース層が形成され、この第2導電型ベース層の表面に凹凸が形成され、その凸部表面に第1導電型エミッタ層が形成されてここにエミッタ電極が形成され、凹部に制御電極が形成された基本構造を有し、凹部の側面および底面に高濃度第2導電型層が形成されていることを特徴とする。

## 【0008】

【作用】本発明によれば、素子表面の凸部に形成された第1導電型エミッタ層とその周囲の凹部に形成された制御電極の凹部側面、すなわちメサ側面に高濃度第2導電型層が形成されているため、第2導電型ベース層の横方向抵抗が小さいものとなる。従って高いターンオフ能力を持つGTOサイリスタやバイポーラトランジスタが得られる。

## 【0009】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。図1は、本発明の一実施例に係るGTOサイリスタの一つのカソード領域を示す平面図であり、図2はそのA-A'断面図である。

【0010】基板裏面から、 $p^+$ 型エミッタ層2、 $n$ 型バッファ層3、 $n^-$ 型ベース層4、 $p$ 型ベース層5および $n^+$ 型エミッタ層6からなる $pnpn$ 構造を有する。基板表面側は凹凸が形成されて、その凸部表面に $n^+$ 型エミッタ層6が形成され、凹部には $p$ 型ベース層5が露出している。 $p$ 型エミッタ層2にアノード電極1が、 $n^+$ 型エミッタ層6にカソード電極11が形成され、凹部の $p$ 型ベース層5にゲート電極10が形成されている。ゲート電極10とカソード電極11の間の基板面は第1の絶縁膜8により覆われ、さらにゲート電極10は第2の絶縁膜9により覆われている。カソード電極11とゲ

3

ート電極10の間には段差があり、またゲート電極10上は絶縁膜9で覆われている。ここまでの基本構造は、従来のものと変わらない。

【0011】この実施例では、p型ベース層5の凹部側面から底面にかけて高濃度のp<sup>+</sup>型層7が形成されている。またこの実施例では、凸部表面のn<sup>+</sup>型エミッタ層6はp<sup>+</sup>型層7と直接接触しないように、凸部表面に選択的に形成されている。

【0012】図3は、この実施例によるGTOサイリスタの製造工程である。p<sup>+</sup>型エミッタ層、n型バッファ層3、n<sup>-</sup>型ベース層4およびp型ベース層5のnpn構造を周知の工程で形成した後、p型ベース層5の表面に第1のマスク材12をパターン形成する(a)。第1のマスク材12は、n型エミッタ層形成領域およびゲート電極形成領域に開口を有する。続いて、第1のマスク材12に一部重ねて、n型エミッタ層形成領域を覆うように第2のマスク材13をパターン形成する(b)。この状態で露出しているp型ベース層5をRIEでエッチングして凹部を形成する(c)。そして第1、第2のマスク材12、13を残した状態で斜めイオン注入を行って、凹部の側面および底面に高濃度のp<sup>+</sup>型層7を形成する(d)。

【0013】続いて、第1、第2のマスク材12、13のうち、第2のマスク材13を除去し、改めて凹部を覆う第3のマスク材14をパターン形成する。そして第1、第3のマスク材12、14を用いて不純物イオン注入を行って、凸部表面に選択的にn<sup>+</sup>型エミッタ層6を形成する(e)。以上により拡層形成散工程は終了し、その後マスク材をすべて除去して(f)、電極形成を行なう。

【0014】この実施例のGTOサイリスタでは、凹凸をもって形成されたp型ベース層5の凹部側面から底面にかけてp<sup>+</sup>型層7が形成されているために、p型ベース層6の横方向抵抗が小さいものとなる。これにより、高いターンオフ能力が得られる。またこの実施例では、n<sup>+</sup>型エミッタ層6が、p<sup>+</sup>型層7とが直接接触しないように凸部表面に選択的に形成されており、したがってp<sup>+</sup>型層7を形成したことによるエミッタ・ベース間耐圧の低下もない。

【0015】図4は、別の実施例のGTOサイリスタの断面図を、図2に対応させて示している。この実施例では、先の実施例と異なり、p型ベース層5がゲート電極形成部の凹部より浅く形成されている。

【0016】この様な構造であっても、凹部の側面から底面にわたって高濃度のp<sup>+</sup>型層7が形成されるから、p型ベース層5に対するバイアス印加は問題なく、p<sup>+</sup>型層7により低い横方向抵抗が得られる。またこの実施例の構造を採用すると、p型ベース層5の形成のための不純物拡散時間が短縮できる。

【0017】図5は、さらに別の実施例のGTOサイリ

4

スタの要部断面構造を、図2に対応させて示している。この実施例では、n<sup>+</sup>型エミッタ層6が凸部表面全面に形成されており、したがってp<sup>+</sup>型層7と直接接触している。

【0018】この実施例の構造では、図2の実施例のものに比べて耐圧が低くなるが、エミッタ面積が広くなる。耐圧とオン電圧との兼ね合いで、先の実施例ほどの耐圧が要求されない場合にはこの実施例のようにすることもできる。

【0019】図6は、本発明をバイポーラトランジスタに適用した実施例の要部断面構造である。基板裏面から、n<sup>+</sup>型コレクタ・コンタクト層22、高抵抗のn<sup>-</sup>型コレクタ層23、p型ベース層24およびn<sup>+</sup>型エミッタ層25のnpn構造を有する。これは、図2のGTOサイリスタのp<sup>+</sup>型エミッタ層2がない状態と同じである。p型ベース層24は表面に凹凸加工がなされて、n<sup>+</sup>型エミッタ層25はその凸部に形成されている。そしてGTOサイリスタの場合と同様に凹部側面から底面に渡って高濃度のp<sup>+</sup>型層26が形成されている。エミッタ側表面は絶縁膜27で覆われ、これに開口が開けられてエミッタ電極29、ベース電極28が形成されている。ベース電極28上はさらに絶縁膜30で覆われている。n<sup>+</sup>型コレクタ・コンタクト層22にはコレクタ電極21が形成されている。

【0020】この実施例のnpnトランジスタの場合もGTOサイリスタと同様に、定常オン状態で過剰ホールが蓄積されるので、ターンオフ時にはゲート電極による過剰ホール排出という動作が必要となる。したがって、p<sup>+</sup>型層26を形成すればベース抵抗が低減して過剰ホールの排出が高速に行われて、高速ターンオフが可能になる。

【0021】

【発明の効果】以上詳細に説明したように本発明によれば、メサ構造を持つ分割エミッタ型の電力用半導体素子の凹部側面から底面に渡って高濃度層を形成することによって、高いターンオフ能力を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るGTOサイリスタの要部平面図。

【図2】図1のA-A'断面図。

【図3】同実施例の製造工程を説明するための断面図。

【図4】別の実施例のGTOサイリスタの要部断面図。

【図5】別の実施例のGTOサイリスタの要部断面図。

【図6】別の実施例のバイポーラトランジスタの要部断面図。

【図7】従来のGTOサイリスタの要部断面図。

【符号の説明】

1…アノード電極、

2…p<sup>+</sup>型エミッタ層、

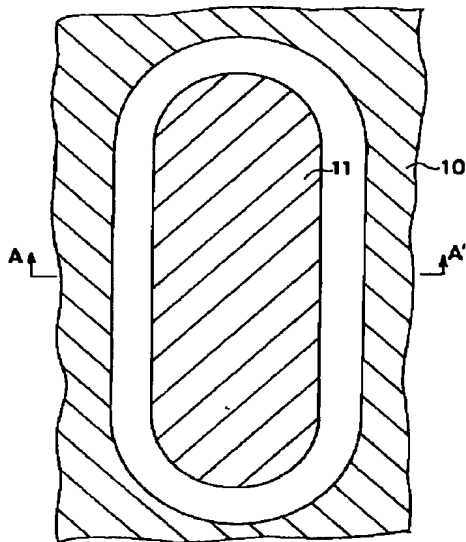
3…n型バッファ層、

50

5

- 4... $n^-$  型ベース層、  
 5... $p$  型ベース層、  
 6... $n^+$  型エミッタ層、  
 7... $p^+$  型層、  
 8, 9...絶縁膜、  
 10...ゲート電極、  
 11...カソード電極、  
 21...コレクタ電極、

【図1】

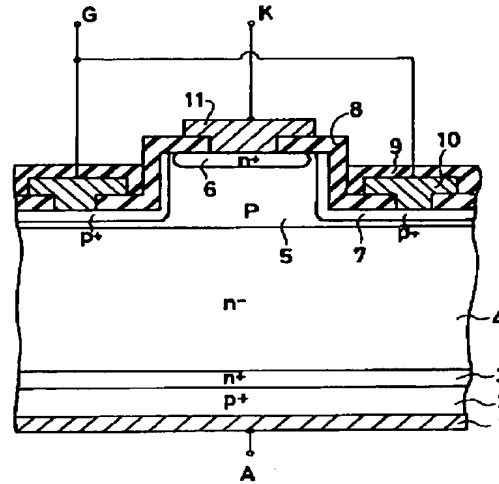


6

- \* 22... $n^+$  型コレクタ・コンタクト層、  
 23... $n^-$  型コレクタ層、  
 24... $p$  型ベース層、  
 25... $n^+$  型エミッタ層、  
 26... $p^+$  型層、  
 29...エミッタ電極、  
 30...ベース電極。

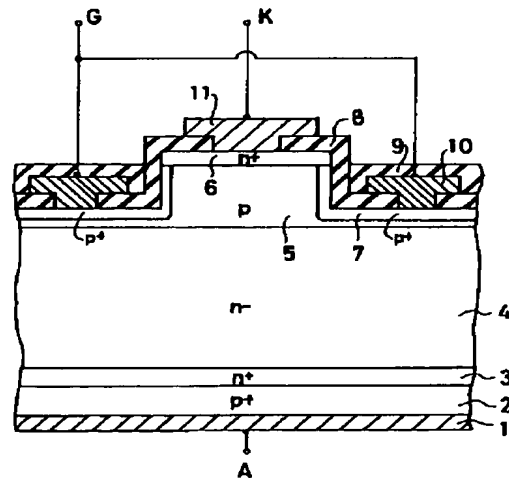
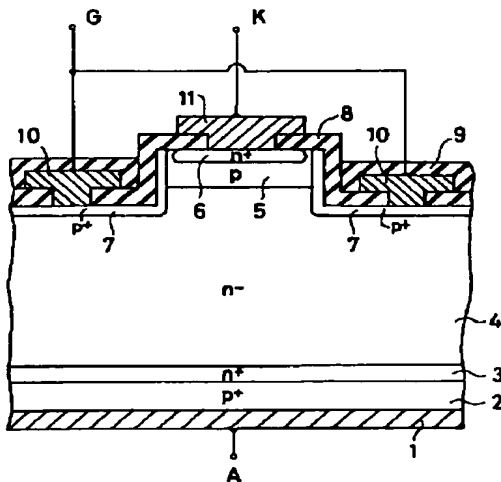
\*

【図2】

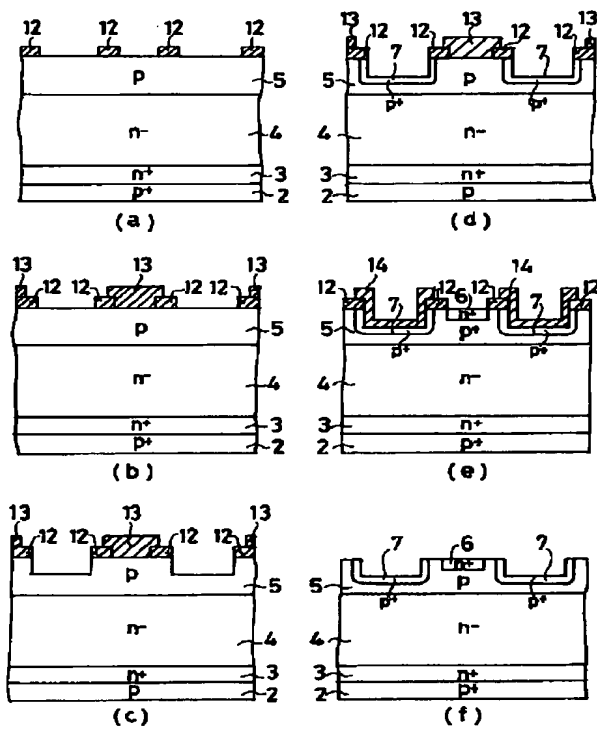


【図5】

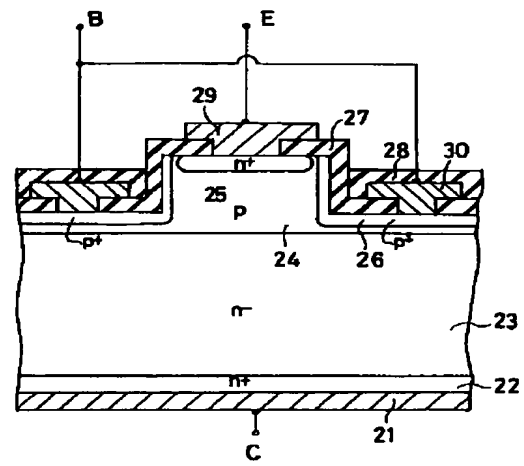
【図4】



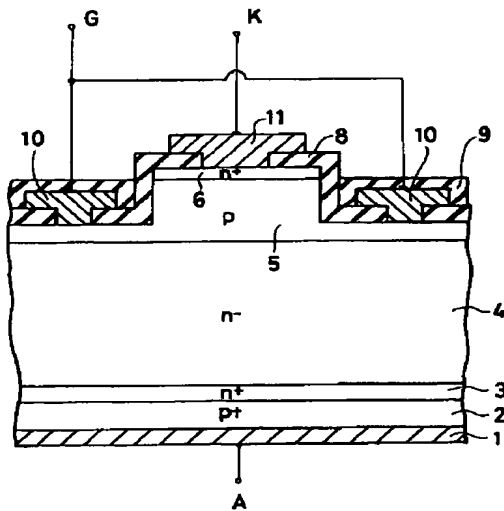
【図3】



【図6】



【図7】



(6)

特開平5-48083

フロントページの続き

(51)Int.Cl.

H01L 29/74

識別記号

片内整理番号

F I

B 7013-4M

J 7013-4M

技術表示箇所